(54) DIGITAL PHASE VARIABLE CIRCUIT

(11) 55-166331 (A) (43) 25.12.1980 (19) JP

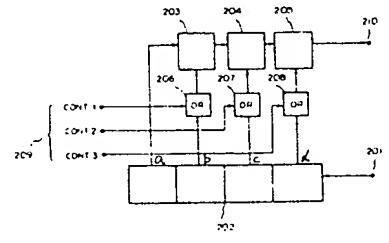
(21) Appl. No. 54-74129 (22) 12.6.1979

(71) NIPPON DENKI K.K. (72) ICHIROU TAKASE

(51) Int. CP. H03K5/135

PURPOSE: To secure the steady phase variation without having the large-scale circuit but by realizing such circuit constitution in that the 2<sup>m</sup>-types of phase states may be secured by giving the control to the m-units of control lines.

CONSTITUTION: The pulse signal supplied to input terminal 201 enters synchronous counter 202 to generate pulses (a)~(d) received the 12-, 14-, 18-, and 146-division each at each output step. Here latch circuit 203 which supplies pulse (a) receives the 90-delay via latch pulse (b), and the output signal of latch circuit 201 which supplies the signal receives the 45-delay via latch pulse (c). And the output signal of latch circuit 205 receives 22.5-delay via latch pulse (d) and is then delivered to terminal 210. The above actions are done in the state under which the logic levels are all 0 for control lines CONT. 1~3 of input terminal 209 and the output of each counter step gives conduction to all OR circuits 206~208. Then if the control is given to three control lines of terminal 209 with the control signals, the eight types of phase states can be obtained.



OLGEN AMARIBATION CHAPTER SHALL

1

DInt. Cl.3 H 03 K 5/135

識別記号

庁内整理番号 7125---5 J

砂公開 昭和55年(1980)12月25日

発明の数 審査請求 未請求

(全 3 頁)

DEST AVAILABLE

10

20

**匈デイジタル位相可変回路** 

②特

昭54—74129

黎出

昭54(1979)6月12日

⑩発 明 高瀬一郎

東京都港区芝五丁目33番1号日 本電気株式会社内

· 金出 願 人 日本電気株式会社

東京都港区芝5丁目33番1号

少代 理 人 弁理士 内原晋

1.発明の名称

## 2. 特許請求の範囲

入力信号がラッチペルスの論理レベル「1) でそのまま出力され、論理レベルが「1」から 「0」に変化するところでサンプルし、論理レ ベルが「0」の状態でホールドされるようなラ ッチ回路を複数個含み、初段に入力信号を加え て最終段から出力信号を得るような機械接続回 路と、入力信号の周波数の 2<sup>n</sup>(a : 整数) 倍の 周波数のクロック信号を計数する複数段の2進 計数回路と、該計数回路の各段出力をそれぞれ 制御回路を介してラッチパルスとして前記機統 接続回路に供給する手段とを備え、前記制御回 路においてラッチャルスの通過を制御信号で削 御することによつて位相制御を行ない位相を可 変としたことを特徴とするデイジタル位相可変 回路。

3. 発明の詳細な説明

10

15

-149--

本発明は入力信号の位相をデイジタル的に変 化するととのできるデイジタル位相可変回路に 関するものである。

従来知られている位相可変回路は取り出す移 相量を必要な位相の状態数だけ用意しておき切 替えて使用する方法がある。しかし位相の状態 数が多くなると回路が大型化する欠点があつた。

本発明の目的はこれらの欠点を除き安定に位 相を変化できる回路を提供することにある。

本籍明によると、入力信号がラッチパルスの 論理レベル「1」でそのまま出力され、論理レ ペルが「1」から「0」に変化するところでサ ンプルし、論理レベルが「0」の状態でホール ドされるようなラッチ回路を複数個含み初段に 入力した信号が最終段から出力されるような概念 続接続回路と、入力信号に対して 2 『倍となる信 号を計数する複数段の2進計数回路と、該計数 回路の各段出力をそれぞれ制御回路を介してラ ッチパルスとして前記機続接続回路に供給する

(1)

特開昭55-156331(2)

手段とを仰え、前配制御回路においてラッチパルスの通過を制御信号で制御するようにした位相可変回路が得られる。

以下図面を用いて詳しく説明する。

第1回は従来の位相可要回路の構成を示すアロック図である。入力端子101に入つたパルス信号は、位相のなる選延を与える凝鉄接続された遅延回路102~108に入り、各選延回路の出力に得られる8通りの位相をスイッチ109で切替え出力端子110に所望の移相景を取り出す。このように従来の位相可要回路は必要な位相の状態数だけ運延回路を用意してかかなければならず状態数の増加が回路の大型化となる欠点があつた。

1.5

20

(3)

概能を持つているので入力端子209の3つの 制御線を制御信号で制御することで8通りの位 相の状態数をとることができる。制御信号の論 理レベルが全て「0」のとき位相を0度とする と、制御信号によつて次表のような位相変化が 得られる。

		· · · · · · · · · · · · · · · · · · ·			
10	出力移相量	CONT . 3 2 2.5°	CONT . 2	CONT . 1	状想数
	2 2.5°	Гıј	Гој	ر ۲۵	2
	4 5°	Lol	נו	[O]	3
	6 7.5°	[I]	٦١١	١٥٦	4
	9 0°	ر ۱۵	LOJ	[ ا	5
		1 1 2.5	Гіј	Гој	[ ا ]
15	1 3 5°	foj	Гij	ſı J	7
	1 5 7.5°	Г1 ]	Гіј	۲۱٦	8

「」内は論理レベル

年2回の実施例は最高157.5度の移相量をと り得るが1/16分周されたペルス信号の極性を

(5)

路は4段の同期式カウンダ、ラッケ凹や143~ 縦銃接続したものである。

入力端子201K入つたペルス信号は、4段の同期式カウンタ202K入り各段出力に1/2・1/4・1/8・1/16分周されたペルスを発生する。 5 ここで1/16分周されたペルス(1)を入力とするラッチ回路203は、1/8分周されたラッチペルス(1)を入力とするの選延を与えられる。(放形図(1)ラッチ回路204の出力信号(1)は1/4分周されたラッチペルス(1)により45度の選延 10を与えられる。(放形図(1)ラッチ回路205の出力信号(1)1/2分周されたラッチペルス(1)により22.5°の選延(放形図(1))を与えられ出力端子210に出力される。

以上の動作は、入力増子209の3つの制御 15 級 CONT・1 ~ CONT・3 の論理レベルが全て「0」 状態でカウンタ各段の出力は論理和回路(OR回 路)206~208を全通過の状態である。な か、各ラッチ回路はラッチパルスの論理レベル が「1」のとき、入力信号をそのまま出力する 20

(4)

制御信号で切替えることのできる回路に通すととで、16通りの位相の状態数と最高337.5 度の移相量をとることができる。また第2図では縦統接続回路の入力を「1」「0」「1」「0」…の繰返しペルスで説明したがランダムペルスでもよく1シンポル当りのレートは、繰返しペルスと同じにすることで実施できる。

以上説明したように本発明によれば、n個(m:整数)の制御線を制御信号で制御するととで 2<sup>m</sup> 通りの位相状態数をとることができる。 10

## 4. 図面の簡単な説明

第1回は従来の位相可変回路を示す構成図、 第2回は本発明によるデイッタル位相可変回路 の実施例を示す構成図、第3回は第2回の動作 を説明するための放形図である。

15

図において、101.201.209は入力 端子、102~108は遅延回路、109はス イッチ、202はカウンタ、203~205は ラッチ回路、206~208は論理和回路、

(6)

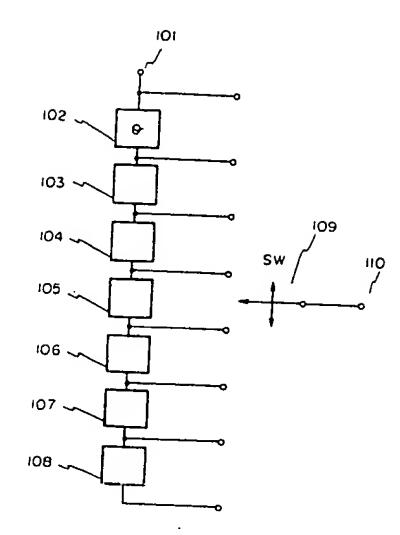
-150-

持開昭55-166331(3)

110.210は出力端子である。

才!図

代理人 弁理士 内 原



DESI AVAILABLE COPY

(7)

オ3 🗵

**才2図** 203 204 205 210 } 207 208 206 OR CONT. 1 0 90\* CONT.2 -201 CONT 3 -( \* ) *)* 202 22.5 Oldsn) MANTO 35 Hd SIALI